

Family list

3 application(s) for: **JP6013820**

Sorting criteria: Priority Date Inventor Applicant Ecla

1 Enhancement-depletion mode cascode current mirror.

Inventor: ARCHER DONALD M [US]

Applicant: NAT SEMICONDUCTOR CORP [US]

EC: G05F3/26A; H01L27/088D

IPC: G05F3/26; H01L27/088; H03F3/343; (+5)

Publication EP0561469 (A2) - 1993-09-22
info: EP0561469 (A3) - 1993-10-06

Priority Date: 1992-03-18

2 ENHANCEMENT/DEPLETION MODE CASCODE CURRENT MIRROR

Inventor: DONARUDO EMU AACHIYAA

Applicant: NAT SEMICONDUCTOR CORP

EC: G05F3/26A; H01L27/088D

IPC: G05F3/26; H01L27/088; H03F3/343; (+7)

Publication JP6013820 (A) - 1994-01-21
info:

Priority Date: 1992-03-18

3 Enhancement-depletion mode cascode current mirror

Inventor: ARCHER DONALD M [US]

Applicant: NAT SEMICONDUCTOR CORP [US]




EC: G05F3/26A; H01L27/088D

IPC: G05F3/26; H01L27/088; H03F3/343; (+5)

Publication US5311115 (A) - 1994-05-10
info:

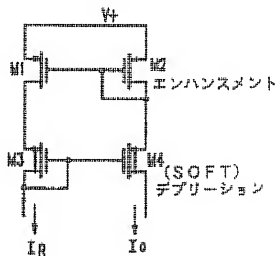
Priority Date: 1992-03-18

Data supplied from the *espacenet* database — Worldwide

ENHANCEMENT/DEPLETION MODE CASCODE CURRENT MIRROR**Publication number:** JP6013820 (A)**Publication date:** 1994-01-21**Inventor(s):** DONARUDO EMU AACHIYAA +**Applicant(s):** NAT SEMICONDUCTOR CORP +**Classification:****- international:** G05F3/26; H01L27/088; H03F3/343; H03F3/345; G05F3/08; H01L27/085; H03F3/343; (IPC1-7): H03F3/343; G05F3/26; H03F3/345**- European:** G05F3/26A; H01L27/088D**Application number:** JP19930057240 19930317**Priority number(s):** US19920853523 19920318**Also published as:** EP0561469 (A2) EP0561469 (A3) US5311115 (A)**Abstract of JP 6013820 (A)**

PURPOSE: To improve efficiency by providing plural enhancement MOS transistors and depletion mode MOS transistors and connecting their each source, gate and drain in a prescribed manner.

CONSTITUTION: This current mirror is composed of the enhancement mode MOS transistors(Tr) M1 and M2, and the depletion mode MOS Tr M3 and M4. The source of the Tr M1 and the source of the Tr M2 are connected to a common source, and the drain of the Tr M1 is connected to the source of the Tr M3 as well as the drain of the Tr M2 is connected to the source of the Tr M4. The gate of the Tr M1 is connected to the gate of the Tr M2, and the gate of the Tr M3 is connected also to the drain, so that the Tr M3 operates between the drain-gate of the Tr M1 and holding the drains of the Tr M1 and M2 to the similar voltage, and generates an output current I0 passing the Trs M2 and M4. Thus, this current mirror has high output impedance and low saturation voltage, and an efficient circuit is obtained.

Data supplied from the **espacenet** database — Worldwide

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/343		A 8124-5 J		
G 0 5 F 3/26		4237-5 H		
H 0 3 F 3/345		B 8124-5 J		

審査請求 未請求 請求項の数18(全 11 頁)

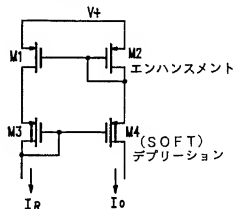
(21) 出願番号	特願平5-57240	(71) 出願人	591013469 ナショナル セミコンダクタ コーポレイ ション NATIONAL SEMICONDUCTOR CORPORATION アメリカ合衆国、カリフォルニア 95052、 サンタ クララ、セミコンダクタ ドライ ブ 2900
(22) 出願日	平成5年(1993)3月17日	(72) 発明者	ドナルド・エム・アーチャー アメリカ合衆国カリフォルニア州94087サ ニャーウェイ、ナンバー・2、ホープ・テ ラス・521
(31) 優先権主張番号	8 5 3 5 2 3	(74) 代理人	弁理士 古谷 馨 (外2名)
(32) 優先日	1992年3月18日		
(33) 優先権主張国	米国 (U S)		

(54) 【発明の名称】 エンハンスメント/デブリーション・モード・カスコード電流ミラー

(57) 【要約】

【目的】 高出力インパース及び低飽和電圧を有し、プロセスの変動及び動作温度の変化による影響を受けることのない高効率電流源回路を提供すること

【構成】 エンハンスメント/デブリーション・モード・カスコード電流ミラーとして用いると共に、デブリーション・モード・カスコード電流ミラーとして用いることにより、高出力インパースと低飽和電圧とプロセス・パラメータに対する低感度性を有する改良された電流源が達成される。電流基準トランジスタのエンハンスメント及びドレイン間に「ゲート接続」デブリーション・モード・カスコード電流ミラーを挿入して飽和電圧を低下させることも可能である。エンハンスメント及びデブリーション・モードのしきい電圧即ち V_{th} が温度又はプロセスによって変動を行わない場合であっても、「ゲート接続」デブリーション・モードのエンハンスメント・モードのドレインを同様な電圧に保つ。従って、この電流源回路は、高出力インパース及び低飽和電圧だけでなく、プロセスの変動に対する低感度性を提供する。



【特許請求の範囲】

【請求項1】ソースとゲートとドレインとを備えた第1のエンハンスメントモードMOSトランジスタと、ソースとゲートとドレインとを備えた第2のエンハンスメントモードMOSトランジスタと、ソースとゲートとドレインとを備えた第3のデプリーションモードMOSトランジスタと、ソースとゲートとドレインとを備えた第4のデプリーションモードMOSトランジスタとからなり、前記第1のトランジスタのソース及び前記第2のトランジスタのソースが共通電圧源に接続され、前記第1のトランジスタのドレインが前記第3のトランジスタのソースに接続されると共に前記第2のトランジスタのドレインが前記第4のトランジスタのソースに接続され、前記第1のトランジスタのゲートが前記第2のトランジスタのゲートに接続されると共に前記第3のトランジスタのゲートが前記第4のトランジスタのゲートに接続され、前記第3のトランジスタが前記第1のトランジスタのドレイン及びゲート間で動作するように前記第3のトランジスタのゲートがその第3のトランジスタのドレインにも接続され、前記第1のトランジスタのドレインと前記第2のトランジスタのドレインとを同様の電圧に保持して前記第2及び第4のトランジスタを通る出力電流を生成するようにしたことを特徴とする、電流ミラー回路。

【請求項2】前記第1及び第2のトランジスタがほぼ等しいしきい電圧を有し、前記第3及び第4のトランジスタがほぼ等しいしきい電圧を有することを特徴とする、請求項1記載の電流ミラー回路。

【請求項3】コレクタとベースとエミッタとを備えたと共に第1のしきい電圧を有する第1のバイポーラトランジスタと、コレクタとベースとエミッタとを備えたと共に第2のしきい電圧を有する第2のバイポーラトランジスタと、コレクタとベースとエミッタとを備えたと共に前記第1のしきい電圧より小さいしきい電圧を有する第3のバイポーラトランジスタと、コレクタとベースとエミッタとを備えたと共に前記第2のしきい電圧より小さいしきい電圧を有する第4のバイポーラトランジスタとからなり、前記第1のトランジスタのエミッタ及び前記第2のトランジスタのエミッタが共通接地に接続され、前記第1のトランジスタのコレクタが前記第3のトランジスタのエミッタに接続されると共に前記第2のトランジスタのコレクタが前記第4のトランジスタのエミッタに接続され、前記第1のトランジスタのベースが前記第2のトランジスタのベースと前記第3のトランジスタのベースと前記第4のトランジスタのベースとに接続され、

前記第3のトランジスタが前記第1のトランジスタのコレクタ及びベース間で動作するように前記第3のトランジスタのベースがその第3のトランジスタのコレクタにも接続され、前記第1のトランジスタのコレクタと前記第2のトランジスタのコレクタとを同様の電圧に保持して前記第2及び第4のトランジスタを通る出力電流を生成するようにしたことを特徴とする、電流ミラー回路。

【請求項4】前記第1及び第2のバイポーラトランジスタがシリコンからなり、前記第3及び第4のバイポーラトランジスタがゲルマニウムからなることを特徴とする、請求項3記載の電流ミラー回路。

【請求項5】前記第1及び第2のバイポーラトランジスタのしきい電圧がほぼ等しく、前記第3及び第4のバイポーラトランジスタのしきい電圧がほぼ等しいことを特徴とする、請求項3記載の電流ミラー回路。

【請求項6】前記第1及び第2のバイポーラトランジスタがシリコンからなり、前記第3及び第4のバイポーラトランジスタがゲルマニウムからなることを特徴とする、請求項5記載の電流ミラー回路。

【請求項7】ソースとゲートとドレインとを備えた第1のエンハンスメントモードMOSトランジスタと、ソースとゲートとドレインとを備えた第2のエンハンスメントモードMOSトランジスタと、ソースとゲートとドレインとを備えた第3のデプリーションモードMOSトランジスタと、ソースとゲートとドレインとを備えた第4のデプリーションモードMOSトランジスタとからなり、前記第1のトランジスタのソース及び前記第2のトランジスタのソースが共通電圧源に接続され、前記第1のトランジスタのドレインが前記第3のトランジスタのソースに接続されると共に前記第2のトランジスタのドレインが前記第4のトランジスタのソースに接続され、前記共通電圧源と前記第1のトランジスタのゲートとの間で動作するように前記第1のトランジスタのゲートが前記第2のトランジスタのゲートに接続されると共に前記第2のトランジスタのゲートがその第2のトランジスタのドレインにも接続され、前記第3のトランジスタのドレインと前記第4のトランジスタのゲートとの間で動作するように前記第3のトランジスタのゲートが前記第4のトランジスタのゲートに接続されると共に前記第3のトランジスタのゲートがその第3のトランジスタのドレインにも接続され、前記第1のトランジスタのドレインと前記第2のトランジスタのドレインとを同様の電圧に保持して前記第2及び第4のトランジスタを通る出力電流を生成するようにしたことを特徴とする、電流ミラー回路。

【請求項8】前記第1及び第2のトランジスタがほぼ等

しいきい電圧を有し、前記第3及び第4のトランジスタがほぼ等しいきい電圧を有することを特徴とする、請求項7記載の電流ミラー回路。

【請求項9】 コレクタとベースとエミッタとを備え、と共に第1のしきい電圧を有する第1のバイポーラトランジスタと、

コレクタとベースとエミッタとを備え、と共に第2のしきい電圧を有する第2のバイポーラトランジスタと、コレクタとベースとエミッタとを備え、と共に前記第1のしきい電圧より小さいしきい電圧を有する第3のバイポーラトランジスタと、

コレクタとベースとエミッタとを備え、と共に前記第2のしきい電圧より小さいしきい電圧を有する第4のバイポーラトランジスタとからなり、

前記第1のトランジスタのエミッタ及び前記第2のトランジスタのエミッタが共通接地に接続され、

前記第1のトランジスタのコレクタが前記第3のトランジスタのエミッタに接続されると共に前記第2のトランジスタのコレクタが前記第4のトランジスタのエミッタに接続され、

前記共通電源と前記第1のトランジスタのベースとの間で動作するように前記第1のトランジスタのベースが前記第2のトランジスタのベースに接続されると共に前記第2のトランジスタのベースがその第2のトランジスタのコレクタにも接続され、

前記第3のトランジスタが前記第1のトランジスタのコレクタと前記第4のトランジスタのベースとの間で動作するように前記第3のトランジスタのベースが前記第4のトランジスタのベースに接続されると共に前記第3のトランジスタのベースがその第3のトランジスタのコレクタにも接続され、前記第1のトランジスタのコレクタと前記第2のトランジスタのコレクタとを同様の電圧に保持して前記第2及び第4のトランジスタを通る出力電流を生成するようにしたことを特徴とする、電流ミラー回路。

【請求項10】 前記第1及び第2のバイポーラトランジスタがシリコンからなり、前記第3及び第4のバイポーラトランジスタがゲルマニウムからなることを特徴とする、請求項9記載の電流ミラー回路。

【請求項11】 前記第1及び第2のバイポーラトランジスタのしきい電圧がほぼ等しく、前記第3及び第4のバイポーラトランジスタのしきい電圧がほぼ等しいことを特徴とする、請求項9記載の電流ミラー回路。

【請求項12】 前記第1及び第2のバイポーラトランジスタがシリコンからなり、前記第3及び第4のバイポーラトランジスタがゲルマニウムからなることを特徴とする、請求項11記載の電流ミラー回路。

【請求項13】 ソースとゲートとドレインとを備えた第1のエンハンスメントモードMOSトランジスタと、ソースとゲートとドレインとを備えた第2のエンハンス

メントモードMOSトランジスタと、ソースとゲートとドレインとを備えた第3のデプリーションモードMOSトランジスタと、

ソースとゲートとドレインとを備えた第4のデプリーションモードMOSトランジスタとからなり、前記第1のトランジスタのソース及び前記第2のトランジスタのソースが共通電源に接続され、

前記第1のトランジスタのドレインが前記第3のトランジスタのソースに接続されると共に前記第2のトランジスタのドレインが前記第4のトランジスタのソースに接続され、

前記共通電源と前記第2のトランジスタのゲートとの間で動作するように前記第1のトランジスタのゲートが前記第2のトランジスタのゲートに接続されると共に前記第1のトランジスタのゲートがその第1のトランジスタのドレインにも接続され、

前記第3のトランジスタが前記第1のトランジスタのドレインと前記第4のトランジスタのゲートとの間で動作するように前記第3のトランジスタのゲートが前記第4のトランジスタのゲートに接続されると共に前記第3のトランジスタのゲートがその第3のトランジスタのドレインにも接続され、前記第1のトランジスタのドレインと前記第2のトランジスタのドレインとを同様の電圧に保持して前記第2及び第4のトランジスタを通る出力電流を生成するようにしたことを特徴とする、電流ミラー回路。

【請求項14】 前記第1及び第2のトランジスタのしきい電圧がほぼ等しく、前記第3及び第4のトランジスタのしきい電圧がほぼ等しいことを特徴とする、請求項13記載の電流ミラー回路。

【請求項15】 コレクタとベースとエミッタとを備え、と共に第1のしきい電圧を有する第1のバイポーラトランジスタと、

コレクタとベースとエミッタとを備え、と共に第2のしきい電圧を有する第2のバイポーラトランジスタと、コレクタとベースとエミッタとを備え、と共に前記第1のしきい電圧より小さいしきい電圧を有する第3のバイポーラトランジスタと、

コレクタとベースとエミッタとを備え、と共に前記第2のしきい電圧より小さいしきい電圧を有する第4のバイポーラトランジスタとからなり、

前記第1のトランジスタのエミッタ及び前記第2のトランジスタのエミッタが共通接地に接続され、

前記第1のトランジスタのコレクタが前記第3のトランジスタのエミッタに接続されると共に前記第2のトランジスタのコレクタが前記第4のトランジスタのエミッタに接続され、

前記共通電源と前記第2のトランジスタのベースとの間で動作するように前記第1のトランジスタのベースが前記第2のトランジスタのベースに接続されると共に前

記第1のトランジスタのベースがその第1のトランジスタのコレクタにも接続され、

前記第3のトランジスタが前記第1のトランジスタのコレクタと前記第4のトランジスタのベースとの間で動作するように前記第3のトランジスタのベースが前記第4のトランジスタのベースに接続されると共に前記第3のトランジスタのベースがその第3のトランジスタのコレクタにも接続され、前記第1のトランジスタのコレクタと前記第2のトランジスタのコレクタとを同様の電圧に保持して前記第2及び第4のトランジスタを通る出力電流を生成するようにしたことを特徴とする、電流ミラー回路。

【請求項16】前記第1及び第2のバイポーラトランジスタがシリコンからなり、前記第3及び第4のバイポーラトランジスタがゲルマニウムからなることを特徴とする、請求項15記載の電流ミラー回路。

【請求項17】前記第1及び第2のバイポーラトランジスタのしきい電圧がほぼ等しく、前記第3及び第4のバイポーラトランジスタのしきい電圧がほぼ等しいことを特徴とする、請求項15記載の電流ミラー回路。

【請求項18】前記第1及び第2のバイポーラトランジスタがシリコンからなり、前記第3及び第4のバイポーラトランジスタがゲルマニウムからなることを特徴とする、請求項17記載の電流ミラー回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電流源回路に関し、特に

$$I_R = \left(\frac{u_{o1} C_{ox1}}{2} \right) \left(\frac{W_1}{L_1} \right) (V_{GS1} - V_{TH1})^2 \left(1 + \frac{V_{DS}}{V_A} \right) \quad (1)$$

【0004】また、電流 I_o は次式で表される。

【数2】

【0005】

$$I_o = \left(\frac{u_{o2} C_{ox2}}{2} \right) \left(\frac{W_2}{L_2} \right) (V_{GS2} - V_{TH2})^2 \left(1 + \frac{V_{DS}}{V_A} \right) \quad (2)$$

【0006】ここで、 V_A はチャネル変調によるものである（初期電圧）。

【0007】同じ集積回路上のトランジスタは同時に製造されるので、トランジスタ M_1 , M_2 は本質的に同一のプロセスパラメータ V_{th} , μ_p , C_{ox} 等を有している。更

$$\frac{I_o}{I_R} = \frac{W_2 / L_2}{W_1 / L_1}$$

【0009】ここで、

W_1 = トランジスタ M_1 のチャネル幅

W_2 = トランジスタ M_2 のチャネル幅

L_1 = トランジスタ M_1 のチャネル長

L_2 = トランジスタ M_2 のチャネル長

従って、所望の電流比 I_o / I_R を選択するという作業は、方程式(3)に従ってトランジスタの幾何学的形状を

MOS電流ミラーに関するものである。

【0002】

【従来の技術及び発明が解決しようとする課題】電流ミラーは公知のものであり、従来の電流ミラーの設計は、バイポーラ及びMOS回路技術の両方で行われてきた。図1に従来の典型的なPチャネルMOS電流ミラーの一例を示す。理想的には、電流ミラー10の機能は、電流 I_o が電流 I_R を映す(mirror)ように、トランジスタ M_1 を通るチャネル電流 I_o を、トランジスタ M_2 を通るチャネル電流 I_R に一致させることである。この電流ミラー10では、 $V_{GS1} \cong V_{GS2}$ であるため、ダイオード接続MOSトランジスタ $M1$ は飽和状態となる。トランジスタ M_2 のゲートがトランジスタ M_1 のゲートに接続され、トランジスタ M_2 のソースがトランジスタ M_1 のソースに接続されているので、トランジスタ M_1 , M_2 のゲート・ソース間電圧は等しい ($V_{GS1} = V_{GS2}$)。従って、トランジスタ M_1 は、飽和状態においてそのトランジスタ M_2 を通るチャネル電流 I_o がトランジスタ M_2 を通るチャネル電流 I_R に等しくなるように動作する。これは、しきい値以上 ($V_{GS} \geq V_T$) で動作するデバイス及びしきい値よりも低い領域 ($V_{GS} < V_T$) で動作するデバイスの両方についても言えることである。しきい値以上で動作するデバイスの場合、トランジスタ M_2 を通る電流 I_R は次式で表される。

【0003】

【数1】

に、図1に示す回路接続により $V_{GS1} = V_{GS2}$ となる場合には、電流 I_o と電流 I_R との電流一致比は、次式のように簡素化された項で表すことができる。

【0008】

【数3】

(3)

選択するという作業に単純化される。一般に、一致性に関する問題を回避するために $L_1 = L_2$ であり、従って次式の通りとなる。

【0010】

【数4】

$$\frac{I_O}{I_R} = \frac{M_2}{M_1} \quad (4)$$

【0011】しかしながら、チャネル長変調等のファクタは次式となる。

【0012】

【数5】

$$\left(1 + \frac{V_{DS}}{V_A}\right), \quad (5)$$

【0013】トランジスタ M_1 、 M_2 間のしきい電圧の不一致、及び、トランジスタの幾何学的形状の不完全な一致もまた、理想電流比 I_O/I_R からの偏差を大きくする

$$\left(1 + \frac{V_{DS}}{V_A}\right) I_O = I_O'$$

【0016】「ウィルソン電流ミラー」として一般に知られる従来のPチャネル電流ミラーを図2に示す。負のフィードバックを用いて、ウィルソン電流ミラー20は、図1の電流ミラー10に比べてより大きな出力抵抗を提供する。図2において、トランジスタ M_1 、 M_2 の各ソースは正の供給電圧 $V+$ に対して共に接続され、トランジスタ M_1 、 M_2 の各ゲートは互いに接続される。従って、トランジスタ M_1 、 M_2 のソース・ゲート間電圧は等しい。トランジスタ M_2 のゲート及びドレーンが互いに接続されて、トランジスタ M_2 が飽和状態へと強制される。従って、トランジスタ M_1 はトランジスタ M_2 を流れる電流を映し、即ち、 I_O がトランジスタ M_2 を流れるようにしたのでトランジスタ M_2 のチャネルを流れる電流 I_O が I_{D1} に等しくなる。トランジスタ M_1 は、そのドレーンに印加される電圧からトランジスタ M_2 のドレーンを絶縁し、これによりトランジスタ M_2 のドレーン電圧の変動が電流 I_O に影響を与えることを防止する。また、トランジスタ M_3 は、電流ミラー20に対して負のフィードバックを提供し、これにより高出力抵抗を提供する。

【0017】図3は、従来の改良されたウィルソン電流ミラー30を示すものである。この電流ミラー30は、図2の電流ミラー20と同様に動作し、トランジスタ M_2 の追加により V_{DS1} と V_{DS2} とを一致させたものである。この

結果を招く。

【0014】電流源の出力抵抗 R_{DS} が高くなればなるほど、それは一層完全になっていく。出力抵抗はチャネル長に比例する。理想的には、 $R_{DS} = \infty$ であり、この場合、出力電流は出力電圧の変動に対して一定のままとなることになる。 V_{DS1} (M_1) が必ずしも V_{DS2} (M_2) と等しい必要はないという事実より、 I_O が変動する可能性もある。従って、ドレーン電圧が変動する際のドレーン電流の変調は、次式で表される I_O の変動を生じさせる。

【0015】

【数6】

$$(6)$$

ウィルソン電流ミラー30は、図2のウィルソン電流ミラーと比較して改良を提供するものであり、ウィルソン電流ミラー20は、 $V_{DS1} \neq V_{DS2}$ となる可能性を有するものであり、これによって別の誤差発生源が生じることになる。

【0018】図4は、カスコード電流ミラーとして一般に知られる別の公知の電流ミラーを示すものである。カスコード電流ミラー40は、出力抵抗 R_{DS} による I_O/I_R の変動を最小限にする。このカスコード電流ミラー40は、事実上、図1の電流ミラー10を2つ従属接続したものである。図4に示す構成では、トランジスタ $M_1 \sim M_4$ の動作パラメータは全て同一であると仮定している。即ち、そのデバイスのしきい電圧は同一で $L_1 = L_2$ 、 $L_3 = L_4$ 、 $W_2/W_1 = W_4/W_3$ であり、トランジスタ M_1 のドレーン電圧 V_{DS1} はトランジスタ M_2 のドレーン電圧 V_{DS2} に等しい。トランジスタ M_1 のドレーン電圧を増大させる電圧変動が存在する場合、トランジスタ M_2 、 M_3 を流れるドレーン電流 I_O は比較的一定に保たれる。従って、電流比 I_O/I_R は維持される。図1ないし図4の各電流ミラーの最小飽和電圧 ($V_{DS(sat)}$) を以下の表1に示す。

【0019】

【表1】

電 流 ミ ラ ー 源 の 比 較

$$dV = V_{gs} - V_t \\ = V_t \text{ (デプリーション)}$$

$$V_{te} = V_t \text{ (エンハンスメント)},$$

図番	最小飽和電圧	出力インピーダンス	利点及び欠点に関するコメント
1	dV	低 Z	簡単な電流ミラー
2	$V_{te} + 2dV$	高 Z	ウィルソンミラー, 一致性悪し
3	$V_{te} + 2dV$	高 Z	改良されたウィルソンミラー, 一致性良好
4	$2dV$	高 Z	カスコード電流ミラー, 基準側に大きな電圧降下
5, 6	$2dV$	高 Z	別のバイアス回路を要す, 電流源一致性良好
7	$2dV$	高 Z	プロセス及び温度に左右される
8	$2dV$	高 Z	別のバイアス回路を要す, 電流源の一致性は温度に関して悪化する
11	$V_{td} + 2dV$	高 Z	改良されたウィルソンミラー, デプリーション・エンハンスメントデバイスで一致性良好
12	$2dV$	高 Z	デプリーション・エンハンスメントデバイスを備えたカスコード電流ミラー, 基準側に低い電圧降下
13	$2dV$	高 Z	プロセス及び温度に対し低感度 (しかし, デプリーションデバイスが必要)
16	$2dV_{sat}$	高 Z (低温で)	漏れ電流の問題, 2つの異なる技術

【0020】図1の電流ミラーは、最も単純なものであり、単に dV に等しい最小の V_{satmin} を有している。ここで、 $dV = (V_{gs} - V_t)$ であり、この dV はしきい電圧 V_t を越えるオーバドライブ電圧である。その他の図2ないし図4の電流ミラーは全て一層複雑でより大きな V_{satmin} を有し、明らかに欠点となる。しかし、これは、図2ないし図4の電流ミラーで提供される高出力インピーダンスを達成するための代償である。

【0021】図5ないし図10は、別の従来の電流ミラーを示すものである。これらの V_{satmin} は結果的には図1の電流ミラー10の V_{satmin} より必ず大きくなるものの、高出力抵抗と比較的低い V_{satmin} とを達成することを意図するものである。更に、図5ないし図10に示す従来の

電流ミラーは、別の基準電流を必要とし、または、プロセスの変動及び動作温度の変化による影響を過度に受けしてしまう。従って、高出力インピーダンス及び低飽和電圧を提供し、プロセスの変動及び動作温度の変化による影響を受けることのない、一層効率の良い電流源回路を提供することが所望される。

【0022】

【課題を解決するための手段】エンハンスメントモードPチャネルトランジスタデバイスを電流ミラートランジスタとして用いることにより、高出力インピーダンスと、低い最小飽和電圧と、プロセスパラメータに対する低感度性とを有する改善された電流源が達成され、同時に、デプリーションモードPチャネルトランジスタがカ

スコードデバイスとして提供される。エンハンスメントモード電流基準トランジスタのゲート及びドレインの間にダイオード接続デブリーションモードトランジスタを挿入することが可能であり、これにより、ダイオード接続エンハンスメントモードトランジスタを用いた場合に比べて実際の飽和電圧を更に下げることができる。エンハンスメントモード及びデブリーションモードデバイスのしきい値、即ちエンハンスメントモードデバイスのしきい電圧 V_{th} が、温度またはプロセスに渡って、ダイオード接続デブリーションモードデバイスのしきい電圧 V を追跡しない場合であっても、ダイオード接続デブリーションモードデバイスはエンハンスメントモードデバイスのドレインを同様の電圧に維持する。従って、この電流ミラー回路は、高出力インピーダンス及び低い最小飽和電圧を提供するだけでなく、プロセスの変動に低感度となる。

【0023】

【実施例】本発明の教示に従って構成された電流ミラーの一実施例を図11に概略的に示す。図3で示した修正されたウィルソン電流ミラーとは異なり、本発明のこの実施例によれば、トランジスタ M_1 、 M_2 はエンハンスメントデバイスのままであるが、トランジスタデバイス M_1 、 M_2 はソフトデブリーションデバイスである。ここで、「ソフトデブリーション」デバイスは、0Vまたは微かな正のしきい電圧（例えば約0.3V）といったオアゲのしきい電圧を有するPチャネルデバイスである。従って、図11の実施例について、その最小飽和電圧 V_{satmin} は、 $V_{satmin} = V_{id} + dV_{dp} + dV_{mk}$ となる。しかしながら、 V_{id} は0に等しいかまたは微かに正の電圧であるため、 V_{satmin} は、約2dVの範囲内となり、これにより、従来の高出力抵抗の電流ミラーに比べて、高い出力抵抗と大幅に低下された V_{satmin} とを有する新規の電流ミラーが提供される。更に、比較的容易な回路であるので、コンパクトとなるだけでなく、プロセスの変動または動作温度の変化に影響されることがほぼ無くなる。

【0024】本発明の教示に従って構成された電流ミラーの別の実施例を図12に概略的に示す。図4に示したカスコード電流ミラーとは異なり、本発明のこの実施例によれば、トランジスタ M_1 、 M_2 はエンハンスメントデバイスのままであるが、トランジスタデバイス M_3 、 M_4 はソフトデブリーションデバイスである。図12の実施例について、その最小飽和電圧 V_{satmin} は、図11の実施例に関して上述した最小飽和電圧と同じである。図12の実施例は、従来の高出力抵抗の電流ミラーに比べて、高い出力抵抗と大幅に低下された V_{satmin} とを有する新規の電流ミラーを提供する。この電流ミラーは、コンパクトで、プロセスの変動または動作温度の変化に影響されることがほぼ無い。

【0025】本発明の原理に従って構成された改良された電流ミラーの代替的な実施例を図13に示す。エンハン

スメント/デブリーション・モード・カスコード電流ミラー100は、エンハンスメントモードPチャネルトランジスタ M_1 、 M_2 を「電流ミラー」として用い、デブリーションモードPチャネルトランジスタ M_3 、 M_4 を「カスコード」トランジスタとして用いている。デブリーションモードPチャネルトランジスタ M_3 のゲート及びドレインが互いに接続されているので、トランジスタ M_3 は、電流基準トランジスタ M_1 のゲート及びドレイン間に接続されたダイオード接続デブリーショントランジスタとして働く。トランジスタ M_2 の $V_{gs} + dV$ は0に近接している。ダイオード接続デブリーショントランジスタ M_3 及びデブリーションカスコードトランジスタ M_4 により、トランジスタ M_1 、 M_2 の各ドレインが同一電圧に保たれる。図13のミラーは、 $dV_1 + dV_2$ に至るまで完全に活動状態となり（即ち高効率カスコード電流ミラーとして動作し）、従って、トランジスタ M_3 、 M_4 は非常に低い V_{satmin} とを有する。エンハンスメントモードトランジスタ M_1 、 M_2 のしきい電圧 V_{th} が、温度及びプロセスの変動に渡って、デブリーションモードトランジスタ M_3 、 M_4 の V_{th} を追跡することができない場合であっても、トランジスタ M_1 、 M_2 は飽和状態に保持される。更に、トランジスタ $M_1 \sim M_4$ のゲートを全て互いに接続することにより、回路のレイアウトが大幅に単純化されて一層コンパクトになり、ソース・ドレイン領域に接点を作成する必要も最小限となる。

【0026】更に、トランジスタ M_1 、 M_2 の製造時に大きなチャネル幅・チャネル長比 W/L を提供し、更に、電流ミラー100の飽和電圧を低下させることが、本発明の範囲内として意図されている。また、エンハンスメントモードNチャネルトランジスタを「電流ミラー」トランジスタ M_1 、 M_2 として使用すると共に、デブリーションモードNチャネルトランジスタを「カスコード」トランジスタ M_3 、 M_4 として使用することも、本発明の範囲内として意図されている。

【0027】図14は、電流ミラー100により達成される高出力インピーダンスを、図4の電流ミラー40等の従来の典型的な電流ミラーの高出力インピーダンス及び一層高い V_{satmin} と比較して示すグラフである。エンハンスメントモードデバイスとデブリーションモードデバイスとの両方を電流ミラー100で用いることにより、高出力インピーダンスと低い V_{satmin} と回路デバイスの製造時におけるプロセス変動に対する低感度性とを有すると共に、レイアウトの構想的容易化及び回路レイアウトの高密度化を達成する、改良された電流ミラー回路が提供される。

【0028】図16は、バイポーラトランジスタを用いて製造された本発明の電流ミラーの一実施例を概略的に示す回路図である。これは、図15に示す従来の電流基準に改良を加えたものである。ゲルマニウムトランジスタ M_3 、 M_4 は、図13のMOSの実施例におけるデブリーション

ントランジスタ M_{1p} , M_{1n} と等価な機能を行う。同様に、シリコントランジスタ M_{1p} , M_{1n} は、図13のMOSの実施例におけるエンハンスメントトランジスタ M_{1p} , M_{1n} と等しい目的を果たす。従って、図16の実施例は、高出力インピーダンス及び低い V_{sat} という利点を有するバイポーラ電流ミラーを提供する。

【0029】図1ないし図10に示した従来の電流ミラーと、図11ないし図13及び図16に示した本発明の新規の電流ミラーの実施例との様々な特性を表1に示す。

【0030】本発明について充分説明してきたが、当業者であれば特許請求の範囲の欄に記載した本発明の思想及びその範囲から逸脱すること無く様々な変更及び修正を加えることが可能であることは明白である。

【0031】

【発明の効果】本発明は上述のように構成したので、高出力インピーダンス及び低飽和電圧を有し、プロセスの変動及び動作温度の変化による影響を受けることのない、効率の良い電流源回路を提供することが可能となる。

【図面の簡単な説明】

【図1】従来の基本的な電流ミラー回路の一例を示す回路図である。

【図2】MOS技術での従来のウィルソン電流ミラー回路の一例を示す回路図である。

【図3】従来の改良されたウィルソン電流ミラー回路の一例を示す回路図である。

【図4】従来のカスコード電流ミラー回路の一例を示す回路図である。

【図5】従来の他の電流ミラー回路の一例を示す回路図である。

【図6】従来の他の電流ミラー回路の一例を示す回路図である。

【図7】従来の他の電流ミラー回路の一例を示す回路図である。

【図8】従来の他の電流ミラー回路の一例を示す回路図である。

【図9】従来の他の電流ミラー回路の一例を示す回路図である。

【図10】従来の他の電流ミラー回路の一例を示す回路図である。

【図11】本発明の原理に従って構成されたエンハンスメント/デプリーション・モード・カスコード電流ミラー回路の一実施例を示す回路図である。

【図12】本発明の原理に従って構成されたエンハンスメント/デプリーション・モード・カスコード電流ミラー回路の別の実施例を示す回路図である。

【図13】本発明の原理に従って構成されたエンハンスメント/デプリーション・モード・カスコード電流ミラー回路の別の実施例を示す回路図である。

【図14】本発明の原理に従って構成された電流ミラー回路の出力電流と出力電圧との比較を表すグラフである。

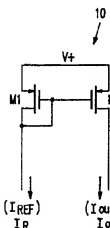
【図15】従来のバイポーラ電圧基準を概略的に示す回路図である。

【図16】本発明に従って構成されたバイポーラ電流ミラー回路の一実施例を概略的に示す回路図である。

【符号の説明】

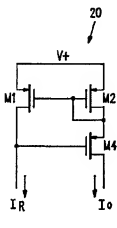
M_{1p} , M_{1n} エンハンスメントモードトランジスタ
 M_{2p} , M_{2n} デプリーションモードトランジスタ

【図1】



従来技術

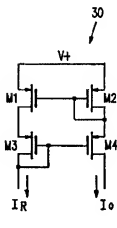
【図2】



従来技術

(ウィルソン)

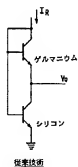
【図3】



従来技術

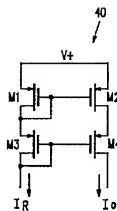
(改良されたウィルソン)

【図15】



従来技術

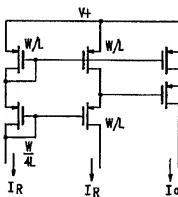
【図 4】



従来技術

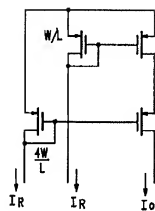
(カスコードミラー)

【図 5】



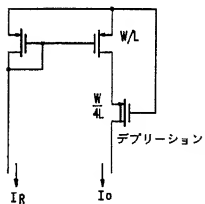
従来技術

【図 6】



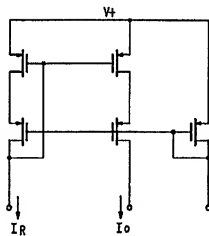
従来技術

【図 7】



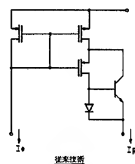
従来技術

【図 8】

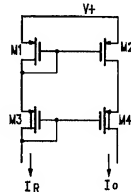


従来技術

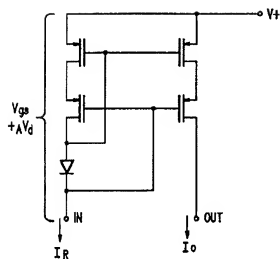
【図 9】



【図 12】

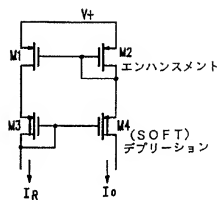


【図10】

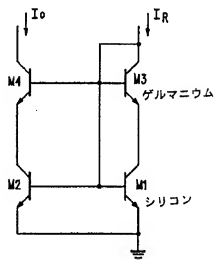


従来技術

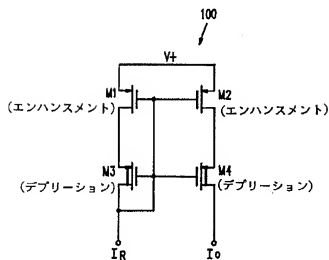
【図11】



【図16】



【図13】



【图 1 4】

